

Docket No.: 50090-332

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hisaya MORI, et al.

Serial No.:

Group Art Unit:

Filed: August 13, 2001

Examiner:

For: APPARATUS AND METHOD FOR TESTING SEMICONDUCTOR INTEGRATED
CIRCUIT



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

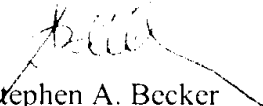
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-032596,
Filed February 8, 2001

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:ykg
Date: August 13, 2001
Facsimile: (202) 756-8087

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

50090332
AUGUST 13, 2001
MORI, ET AL.
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2001年 2月 8日

出 願 番 号

Application Number:

特願2001-032596

出 願 人

Applicant (s):

三菱電機株式会社

菱電セミコンダクタシステムエンジニアリング株式会社

jc997 U.S. PTO
09/927368
08/13/01

2001年 2月23日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造

出証番号 出証特2001-3011789

【書類名】 特許願

【整理番号】 529220JP01

【提出日】 平成13年 2月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/10

【発明者】

 【住所又は居所】 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミコンダクタシ
 ステムエンジニアリング株式会社内

 【氏名】 森 長也

【発明者】

 【住所又は居所】 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミコンダクタシ
 ステムエンジニアリング株式会社内

 【氏名】 山田 真二

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
 社内

 【氏名】 船倉 輝彦

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【特許出願人】

 【識別番号】 591036505

 【氏名又は名称】 菱電セミコンダクタシステムエンジニアリング株式会社

【代理人】

 【識別番号】 100082175

 【弁理士】

 【氏名又は名称】 高田 守

 【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の試験装置およびそれを用いた半導体集積回路の試験方法

【特許請求の範囲】

【請求項 1】 アナログ信号をデジタル信号に変換する A/D 変換回路またはデジタル信号をアナログ信号に変換する D/A 変換回路を含んだ被試験半導体集積回路と信号のやり取りを行うように構成されたテスト回路基板、および前記 A/D 変換回路からのデジタル試験データまたは前記 D/A 変換回路からのアナログ試験データをデジタル信号に変換したデジタル試験データを記憶するデータメモリとこのデータメモリに記憶された前記デジタル試験データを解析する解析部とを有し前記テスト回路基板の近傍に配置されたテスト補助装置を備え、前記データメモリは、第 1、第 2 メモリ区域を有し、この第 1 メモリ区域において前記デジタル試験データの記憶が行われるときに、第 2 メモリ区域では、すでに記憶されたデジタル試験データが前記解析部による解析のために読み出されるように構成された半導体集積回路の試験装置。

【請求項 2】 前記データメモリは、第 1 メモリ素子と第 2 メモリ素子を有し、これらの素子がそれぞれ前記第 1、第 2 メモリ区域を構成している請求項 1 記載の半導体集積回路の試験装置。

【請求項 3】 前記テスト補助装置はメモリ入力切替手段を有し、このメモリ入力切替手段が前記デジタル試験データを前記第 1 メモリ素子、または第 2 メモリ素子に切り替えて記憶させるように構成されている請求項 2 記載の半導体集積回路の試験装置。

【請求項 4】 前記テスト補助装置はメモリ出力切替手段を有し、このメモリ出力切替手段が前記第 1 メモリ素子または第 2 メモリ素子の出力を切り替えて前記解析部へアップロードするように構成されている請求項 2 記載の半導体集積回路の試験装置。

【請求項 5】 前記データメモリが、内部に前記第 1、第 2 メモリ区域を有する 1 つのメモリ素子で構成された請求項 1 記載の半導体集積回路の試験装置。

【請求項 6】 アナログ信号をデジタル信号に変換する A/D 変換回路また

はデジタル信号をアナログ信号に変換するD/A変換回路を含んだ半導体集積回路の試験方法であって、この半導体集積回路を搭載してそれと信号のやり取りを行うように構成されたテスト回路基板、および前記A/D変換回路からのデジタル試験データまたは前記D/A変換回路からのアナログ試験データをデジタル信号に変換したデジタル試験データを記憶するデータメモリとこのデータメモリに記憶された前記デジタル試験データを解析する解析部とを有し前記テスト回路基板の近傍に配置されたテスト補助装置を備えた半導体集積回路の試験装置を用いて試験が行われ、さらに前記データメモリは、第1、第2メモリ区域を有し、この第1メモリ区域で前記デジタル試験データの記憶が行われるときに、第2メモリ区域では、すでに記憶されたデジタル試験データが前記解析部による解析のために読み出されることを特徴とする半導体集積回路の試験方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は半導体集積回路の試験装置、特にアナログ信号をデジタル信号に変換するA/D変換回路またはデジタル信号をアナログ信号に変換するD/A変換回路とを含んだ半導体集積回路の試験装置およびこれを用いた半導体集積回路の試験方法に関するものである。

【0002】

【従来の技術】

この半導体集積回路の試験装置はテストと呼ばれる。近年、機能的にシステム化された複数回路モジュールで構成されているワンチップ半導体集積回路（1チップLSI）または複数回路のそれぞれのチップを組み合わせた混成集積回路（チップセットLSI）などとして構成されるシステムLSIにおいて、高性能、高精度のデジタル回路とアナログ回路を組み合わせた混合化（ミックス・ド・シグナル化）が急速に進んでおり、これらの半導体集積回路に対する試験装置についてもこの混合化への対応が進み、試験装置メーカーからミックス・ド・シグナル化半導体集積回路に対応するテストが提供されている。

【0003】

しかし、このミックス・ド・シグナル化半導体集積回路に対応するテストはその高性能仕様に対応するため、装置が高価格化する傾向にあり、そのような状況のなかで、既存の低速、低精度の、例えばロジック L S I などに用いられたテストを再利用して、テストの高価格化を避ける動きも出てきている。

【 0 0 0 4 】

かかる試験装置での大きな課題が、デジタル信号をアナログ信号に変換する D / A 変換回路と、アナログ信号をデジタル信号に変換する A / D 変換回路の試験であり、これらの高精度化に伴い、これらの変換回路を含んだ半導体集積回路に対する試験装置を如何に低価格で実現するかが課題となっている。

【 0 0 0 5 】

一般的なテストの試験環境では、テスト内部の測定装置から被試験半導体集積回路 (D U T という) までの測定経路には、D U T 回路基板 (D U T ボード)、ケーブルなどのテストと D U T 間接続治具が複数存在し、その測定経路も長いいため、ノイズ発生、測定精度低下の原因となり、また複数の D U T を同時に試験するようなことも困難である。また、低速テストでは、その速度の制約から、実使用速度での試験が不可能な点、量産試験での試験時間の増大が懸念される。

【 0 0 0 6 】

特開平 1 - 3 1 6 0 2 4 号公報には、テスト回路の D / A 変換部への入力データにより指定されたアドレスに変換データを収納するための記憶素子を設け、D / A 変換したアナログ信号を A / D 変換器に入力し、この出力を記憶素子に順次格納し、全ての入力データに対して変換が終了すると記憶素子に格納した変換データを順次テストに送り込み、テストで入力データと変換データとを順次比較判定するものが提案されている。

【 0 0 0 7 】

しかし、D / A 変換部への入力データ、変換データを記憶する記憶素子に対するアドレス、制御信号をテストから供給する必要がある、さらに記憶素子の記憶データをテストに供給する必要がある、テストと D U T との間の長い測定経路でのノイズにより、測定精度が低下する恐れがある。またテスト・ピンエレクトロニクス数の占有から複数の D U T に対する同時測定は困難である。さらに、変換

データをテストへ送る通信に時間がかかり、また試験結果の判定処理を全試験の終了後に行うので、試験時間の短縮も困難である。

【0008】

この発明の発明者は、かかる課題に関し、さきに、特願2000-356724号にて、高速度でしかも高精度の測定をより安価に実現できる半導体集積回路の試験装置を提案している。

【0009】

【発明が解決しようとする課題】

この発明はさきに提案した半導体集積回路の試験装置をさらに改良し、より高速で、効率良く半導体集積回路の試験を行うことのできる半導体集積回路の試験装置を提案するものである。

【0010】

またこの発明は、この半導体集積回路の試験装置を用いて、より高速で、効率良く半導体集積回路の試験を行うことのできる半導体集積回路の試験方法を提案するものである。

【0011】

【課題を解決するための手段】

この発明による半導体集積回路の試験装置は、アナログ信号をデジタル信号に変換するA/D変換回路またはデジタル信号をアナログ信号に変換するD/A変換回路を含んだ被試験半導体集積回路と信号のやり取りを行うように構成されたテスト回路基板、および前記A/D変換回路からのデジタル試験データまたは前記D/A変換回路からのアナログ試験データをデジタル信号に変換したデジタル試験データを記憶するデータメモリとこのデータメモリに記憶された前記デジタル試験データを解析する解析部とを有し前記テスト回路基板の近傍に配置されたテスト補助装置を備え、前記データメモリは、第1、第2メモリ区域を有し、この第1メモリ区域において前記デジタル試験データの記憶が行われるときに、第2メモリ区域では、すでに記憶されたデジタル試験データが前記解析部による解析のために読み出されるように構成されたものである。

【0012】

またこの発明による半導体集積回路の試験装置は、前記データメモリが、第1メモリ素子と第2メモリ素子を有し、これらの素子がそれぞれ前記第1、第2メモリ区域を構成しているものである。

【0013】

またこの発明による半導体集積回路の試験装置は、前記テスト補助装置がメモリ入力切替手段を有し、このメモリ入力切替手段が前記デジタル試験データを前記第1メモリ素子、または第2メモリ素子に切り替えて記憶させるように構成されているものである。

【0014】

またこの発明による半導体集積回路の試験装置は、前記テスト補助装置がメモリ出力切替手段を有し、このメモリ出力切替手段が前記第1メモリ素子または第2メモリ素子の出力を切り替えて前記解析部へアップロードするように構成されているものである。

【0015】

またこの発明による半導体集積回路の試験装置は、前記データメモリが、内部に前記第1、第2メモリ区域を有する1つのメモリ素子で構成されたものである。

【0016】

またこの発明による半導体集積回路の試験方法は、アナログ信号をデジタル信号に変換するA/D変換回路またはデジタル信号をアナログ信号に変換するD/A変換回路を含んだ半導体集積回路の試験方法であって、この半導体集積回路を搭載してそれと信号のやり取りを行うように構成されたテスト回路基板、および前記A/D変換回路からのデジタル試験データまたは前記D/A変換回路からのアナログ試験データをデジタル信号に変換したデジタル試験データを記憶するデータメモリとこのデータメモリに記憶された前記デジタル試験データを解析する解析部とを有し前記テスト回路基板の近傍に配置されたテスト補助装置を備えた半導体集積回路の試験装置を用いて試験が行われ、さらに前記データメモリは、第1、第2メモリ区域を有し、この第1メモリ区域で前記デジタル試験データの記憶が行われるときに、第2メモリ区域では、すでに記憶されたデジタル試験デ

ータが前記解析部による解析のために読み出されることを特徴とする。

【 0 0 1 7 】

【実施の形態】

実施の形態 1.

図 1 はこの発明による半導体集積回路の試験装置に実施の形態 1 の構成を示す図である。(a) 図はテスト回路基板 (DUT ボード) 部分の上面図、(b) 図はその側面図、(c) 図は試験機 (テスタ) 部分の構成図である。

【 0 0 1 8 】

この実施の形態 1 の試験装置は、テスト回路基板 (DUT ボード) 10、テスト補助装置 (BOST 装置) 20、及び試験機 (テスタ) 40 を備えている。

【 0 0 1 9 】

テスト回路基板 10 は、この実施の形態 1 では、被試験半導体集積回路 (DUT) 11 として、モールド型 IC を対象とするものである。モールド型 IC は半導体集積回路 (IC) チップをモールド樹脂で覆い、モールド樹脂から複数の端子を導出したものである。この DUT 11 の IC チップは、例えばワンチップのミックス・ド・シグナル型システム LSI であり、1 つのチップ内にデジタル信号をアナログ信号に変換する D/A 変換器と、アナログ信号をデジタル信号に変換する A/D 変換器を含むものである。DUT 11 としては、複数のチップを共通の回路基板上に集積したミックス・ド・シグナル型の混成集積回路 (ハイブリッド IC) も使用することができる。

【 0 0 2 0 】

テスト回路基板 10 は被試験半導体集積回路 (DUT) 11 の端子を挿入する DUT ソケット 12 を有し、その周りに多数の接続端子 13 と、テスト用のリレー・コンデンサ群 14 を配置したものである。

【 0 0 2 1 】

テスト回路基板 10 の下部には、テストヘッド 15 が配置されている。このテストヘッド 15 は、テスト回路基板 10 に接続される多数の接続ピン 16 を有し、この接続ピン 16 を介して DUT 11 とテストに必要な信号のやりとりを行う。

【0022】

テスト補助装置（BOST装置）20はテスト回路基板10の近傍に配置される。この実施の形態1では、テスト補助装置20はテスト補助基板（BOSTボード）21上に構成され、このBOSTボード21はDUTボード10の上に搭載される。DUTボード10の上には、そのためのソケット17が固定されており、BOSTボード21はこのソケット17に挿入されるコネクタ22を下面に有し、このコネクタ22をソケット17に挿入して、DUTボード10上に支持され、このソケット17を経てテストヘッド15との信号のやりとりが行われる。

【0023】

BOSTボード21は、BUILT-OFF-SELF-TESTの略称であり、これはテスト40に依存せず、DUT内部で自己テスト（BIST：BUILT-IN-SELF-TEST）を担うテスト回路を補助するDUT外部試験補助装置の基板であり、AD/DA測定部23、制御部24、DSP解析部25、メモリ部26、電源部27を有している。

【0024】

テスト40はテストパターン発生器（TPG）41、電源部42、ピンエレクトロニクス部43を有し、BOSTボード21に対して、電源電圧Vdを供給し、BOSTボード21との間でBOST制御信号44をやりとりする。この制御信号44には、テスト40からBOSTボード21、DUTボード10への指令信号だけでなく、BOSTボード21からテスト40へのテスト解析結果信号も含まれる。テスト40からBOSTボード21へ入力されるテスト解析No.、コードなどを含む制御信号44は、テストプログラムに記述されたテスト信号条件に基づき、テスト40に内蔵されたテストパターン発生器41により、他のDUT11のテストと同様に、テストパターン信号として発生させ、複数の信号入出力ピンを備えたテスト40のピンエレクトロニクス部43を通して、BOSTボード21、DUTボード10に供給される。一方、BOSTボード21から出力されるテスト解析結果（Pass/Fail情報）は、テスト40のピンエレクトロニクス部43に送られ、このピンエレクトロニクス部43の判定部にて、

テストパターン信号との比較、判定に基づき、その結果情報を取り込む。

【 0 0 2 5 】

図 2 は実施の形態 1 における電気回路の構成を示すブロック図である。DUT 11 は、アナログ信号をデジタル信号に変換する A/D 変換回路 51 と、デジタル信号をアナログ信号に変換する D/A 変換回路 52 を含んでいる。

【 0 0 2 6 】

BOST ボード 21 は、DUT 11 の A/D 変換回路 51 に対してアナログ試験信号を供給する試験用 D/A 変換回路 61 と、DUT 11 の D/A 変換回路 52 からのアナログ試験データをデジタル試験データに変換する試験用 A/D 変換回路 62 とを有し、さらに DAC 入力データ回路 (DAC カウンタ) 63、データ書込み制御回路 64、測定データメモリアドレスカウンタ 65、測定データメモリ 66、基準クロック回路 67、クロック発生回路 68、及び DSP 解析部 69 を有する。DSP 解析部 69 は DSP プログラム ROM 70 を有している。

【 0 0 2 7 】

試験用 D/A 変換回路 61、試験用 A/D 変換回路 62、DAC 入力データ回路 63、データ書込み制御回路 64、測定データメモリアドレスカウンタ 65 は、図 1 の D/A、A/D 測定部 23 に含まれており、測定データメモリ 66 はメモリ部 26 に、また DSP 解析部 69 は DSP 解析部 25 に含まれている。

【 0 0 2 8 】

試験用のデジタル試験信号 (テストデータ) は DAC 入力データ回路 63 に蓄えられており、テスト 40 からの指令に基づいて、この DAC 入力データ回路 63 からのテストデータは、DUT 11 の D/A 変換回路 52 と BOST ボード 21 の試験用 D/A 変換回路 61 とに供給される。

D/A 変換回路 61 に供給されたデジタル試験信号 (テストデータ) はアナログ試験信号に変換されて、DUT 11 の A/D 変換回路 51 に供給され、この DUT 11 の A/D 変換回路 51 でデジタル試験データに変換され、測定データメモリ 66 に供給される。

一方、DAC 入力データ回路 63 から直接 DUT 11 の D/A 変換回路 52 に供給されたデジタル試験信号は、D/A 変換回路 52 でアナログ試験出力に変換

され、これがBOSTボード21の試験用A/D変換回路62によりデジタル試験データに変換され、測定データメモリ66に供給される。

測定データメモリ66は、これらのDUT11のA/D変換回路51から供給されるデジタル試験データと、D/A変換回路52からA/D変換回路62を経て供給されるデジタル試験データとを、順次決められたアドレスに記憶する。

【0029】

DUT11のA/D変換回路51、BOSTボード21のA/D変換回路62は、順次アナログ信号をデジタル信号に変換するが、1つのデジタル信号を発生する毎にBUSY信号をそれぞれ出力する。これらのBUSY信号は、ともにBOSTボード21上のデータ書込み制御回路64に供給される。データ書込み制御回路64は、供給されたBUSY信号に基づき、DAC入力データ回路63のデジタルテストデータをデータ単位毎に次のデジタルテストデータに順次進め、また測定データメモリアドレスカウンタ65に対しては、測定データメモリ66のアドレスを順次進めるように作用する。

【0030】

このように、BUSY信号により、DAC入力データ回路63では、DUT11で変換されるデジタルテストデータのコードが進められ、また測定データメモリ66では、DUT11で変換されたデジタル試験出力を記憶するアドレスが順次進められる結果、DUT11では、A/D変換回路51、D/A変換回路52において順次試験に必要な変換が進められ、その変換された測定データが測定データメモリ66に順次記憶されていく。以降は、BOSTボード21のDSP解析部69で設定された最終コードになるまで、変換テストが進められ、その結果が測定データメモリ66にすべて記憶される。

【0031】

BOSTボード21上のDSP解析部69はDSPプログラムROM70に記憶されたプログラムを用いて、測定データメモリ66に記憶されている変換データを順次読み出し、変換特性の解析を行う。この解析は、A/D変換特性パラメータ、D/A変換特性パラメータ、微分直線性、積分非直線性誤差などの算出を含み、解析結果(Pass/Fail情報)がBOSTボード21からテスト4

0 に送信され、テスト 4 0 でテスト結果処理が行われる。

【 0 0 3 2 】

実施の形態 1 において、B O S T ボード 2 1 が D U T ボード 1 0 の近傍に配置され、D U T 1 1 の A / D 変換回路 5 1、D / A 変換回路 5 2 の変換試験を行う機能を備えているので、この変換試験は B O S T ボード 2 1 上で実行することができる。この結果、D U T ボード 1 0 と B O S T ボード 2 1 間のアナログ測定系ラインを短縮でき、ノイズによる測定誤差の発生を充分小さく抑制し、高精度の試験を実現でき、併せて D U T ボード 1 0 とその近傍の B O S T ボード 2 1 間の信号のやりとりに基づき、より高速度で試験を行うことができる。B O S T ボード 2 1 とテスト 4 0 との間は、アナログ測定系ラインをなくすることができ、試験精度の向上が図られる。また B O S T ボード 2 1 上で、必要な変換試験を終了して、テスト 4 0 にはその結果を送信するので、変換データをテスト 4 0 に送信するものに比べ、試験速度の向上を図ることができる。

【 0 0 3 3 】

実施の形態 1 において、D U T 1 1 の A / D 変換回路 5 1、D / A 変換回路 5 2 の変換試験機能が B O S T ボード 2 1 上に配置されるので、テスト 4 0 にはそのための大きな機能を付加する必要がなく、このためテスト 4 0 の高価格化を防ぎ、従来の低速のテストを流用することも可能となる。なお、特別な測定機能を持ったテスト 4 0 を製作する場合、テストのハードウェア構成による機能拡張に対して制約があり、またテスト本来の改造を併発するため、開発コストが高騰するおそれがある。実施の形態 1 によれば、一般的なテストに標準的に装備されているテストパターン発生器、ピンエレクトロニクスを利用するので、各種テスト仕様、制約に影響を受けずに B O S T ボードの構成、制御が可能であり、各種テストへの適用が可能となる。

【 0 0 3 4 】

さて、この発明による実施の形態 1 では、より高速に、効率良く、D U T 1 1 の A / D 変換回路 5 1、D / A 変換回路 5 2 の変換試験を実行するために、さらに改良されたメモリ／解析切替回路 8 0 が使用される。図 7 は、このメモリ／解析切替回路 8 0 のブロック回路図である。

【 0 0 3 5 】

先ず図 7 において、測定データメモリ 6 6 は、2 つの第 1、第 2 のメモリ素子 6 6 A、6 6 B から構成されている。第 1、第 2 のメモリ素子 6 6 A、6 6 B は、それぞれメモリバンク A、B を構成する。これらのメモリ素子 6 6 A、6 6 B は、3 つの接続切替回路 8 1、8 3、8 5 によって、切替制御される。第 1、第 2、および第 3 の接続切替回路 8 1、8 3、8 5 はいずれも A 1 端子、A 2 端子、B 1 端子、B 2 端子および S 端子を有する。第 1 の接続切替回路 8 1 は、データ接続切替回路であり、メモリ素子 6 6 A、6 6 B のデータの切り替えを行う回路である。このデータ接続切替回路 8 1 の A 1 端子は DSP 解析部 6 9 に、A 2 端子は ADC/DAC 測定部 2 3 に、B 1 端子はメモリ素子 6 6 A に、また B 2 端子はメモリ素子 6 6 B にそれぞれ接続される。

【 0 0 3 6 】

この第 1 のデータ接続切替回路 8 1 は、DSP 解析部 6 9 に接続された A 1 端子を、B 1 端子または B 2 端子に切替接続する解析用読み出しデータ切り替え機能と、ADC/DAC 測定部 2 3 に接続された A 2 端子を、B 1 端子または B 2 端子に切替接続するデータ書込み切替機能の 2 つの機能を有する。データ書込み切替機能は、ADC/DAC 測定部 2 3 からのデジタル試験データを、メモリ素子 6 6 A または 6 6 B に記憶させるために切替入力する機能である。また解析用読み出しデータ切り替え機能は、メモリ素子 6 6 A または 6 6 B に記憶されたデータを切替で読み出し、DSP 解析部 6 9 にアップロードする機能である。

【 0 0 3 7 】

第 2 の切替回路 8 3 はアドレス接続切替回路であり、DSP 解析部 6 9 に接続された A 1 端子を、B 1 端子または B 2 端子に切替接続する解析用読み出しアドレス切替機能と、測定データメモリアドレスカウンタ 6 5 に接続された A 2 端子を、B 1 端子または B 2 端子に切替接続する記憶用の書込みアドレス切替機能を有している。第 3 の切替回路 8 5 は書込み/読出しクロック接続切替回路であり、DSP 解析部 6 9 に接続された A 1 端子を、B 1 端子または B 2 端子に切り替え接続する読み出しクロック切替機能と、測定データメモリ書込みクロック回路 6 8 A に接続された A 2 端子を、B 1 端子または B 2 端子に切替接続する書込み

クロック切替機能を有する。

【 0 0 3 8 】

各切替回路 8 1、8 3、8 5 は、A 1 端子と B 1 端子が接続され、また A 2 端子と B 2 端子が接続された第 1 の接続状態と、A 1 端子と B 2 端子が接続され、また A 2 端子と A 1 端子が接続された第 2 の接続状態とが、切替られる。第 1 の接続状態において、データ接続切替回路 8 1 はメモリバンク 6 6 A を DSP 解析部 6 9 に、またメモリバンク 6 6 B を ADC/DAC 測定部 2 3 に、それぞれ接続する。この第 1 の接続状態において、メモリバンク 6 6 B には、DAC/ADC 測定部 2 3 からのデジタル試験データが書き込まれ、またメモリバンク 6 6 A ではすでに記憶されているデジタル試験データが解析部 6 9 へ読み出され、アップロードされる。第 2 の接続状態においては、逆に、メモリバンク 6 6 A には、DAC/ADC 測定部 2 3 からのデジタル試験データが書き込まれ、またメモリバンク 6 6 B では、すでに記憶されたデジタル試験データが解析部 6 9 へ読み出され、アップロードされる。

【 0 0 3 9 】

前記第 1 の接続状態では、アドレス接続切替回路 8 3 によって、DSP 解析部 6 9 からの読み出しアドレスがメモリバンク 6 6 A に、また測定データアドレスカウンタ 6 5 からの書込みアドレスがメモリバンク 6 6 B にそれぞれ供給される。さらにこの第 1 の接続状態では、書込み/読出しクロック接続切替回路 8 5 によって、DSP 解析部 6 9 からの読み出しクロックがメモリバンク 6 6 A に、また測定データメモリ書き込みクロック生成部 6 8 A からの書き込みクロックがメモリバンク 6 6 B にそれぞれ供給される。

前記第 2 の接続状態では、アドレス接続切替回路 8 3 によって、DSP 解析部 6 9 からの読み出しアドレスがメモリバンク 6 6 B に、また測定データアドレスカウンタ 6 5 からの書込みアドレスがメモリバンク 6 6 A にそれぞれ供給される。さらにこの第 2 の接続状態では、書込み/読出しクロック接続切替回路 8 5 によって、DSP 解析部 6 9 からの読み出しクロックがメモリバンク 6 6 B に、また測定データメモリ書き込みクロック回路 6 8 A からの書き込みクロックがメモリバンク 6 6 A にそれぞれ供給される。

【 0 0 4 0 】

メモリバンク切替信号生成部 8 7 は、半導体試験装置の制御装置 8 9 から、メモリ切替信号 S K C とクロックイン信号 S C L の供給を受け、メモリバンク切替信号 S S を生成し、それを各切替回路 8 1、8 3、8 5 の S 端子に供給する。メモリバンク切替信号 S S は、それが立ち上がる毎に、各切替回路 8 1、8 3、8 5 の状態を、前記第 1 の接続状態と、第 2 の接続状態との間で、切り替える。この結果、各切替回路 8 1、8 3、8 5 は前記第 1 の接続状態と前記第 2 の接続状態を交互に与え、2 つのメモリバンク 6 6 A、6 6 B には、図 8 に示す通り、A D C / D A C 測定部 2 3 の A / D 変換回路 5 1、D / A 変換回路 5 2 からのデジタル試験データを取り込む測定状態と、記憶したデジタル試験データを D S P 解析部 6 9 にアップロードしてその解析を行う解析状態が、交互に与えられる。

【 0 0 4 1 】

図 8 において、最初のテスト 1 のステップ S 1 では、前記第 2 の接続状態であり、メモリバンク 6 6 A に測定状態が与えられる。次のステップ S 2 では、メモリバンク切替信号 S S が与えられ、バンク切替が行われる。その結果、接続状態が反転したテスト 2 のステップ S 3 では、前記第 1 の接続状態となり、メモリバンク 6 6 A はテスト 1 の解析状態、メモリバンク 6 6 B はテスト 2 の測定状態となる。次のステップ S 4 では、メモリバンク切替信号 S S が与えられてバンク切替が行われ、次のステップ S 5 では、再び第 2 の接続状態となり、メモリバンク 6 6 A はテスト 3 の測定状態、メモリバンク 6 6 B はテスト 2 の解析状態となる。次のステップ S 6 では再びバンク切替が行われ、次にステップ S 7 では、再び第 1 の接続状態となり、メモリバンク 6 6 A がテスト 3 の解析状態、メモリバンク 6 6 B がテスト 4 の測定状態となる。なお、テスト 1 で、メモリバンク B を空白状態としているが、これは、最初、まだ測定データが記憶されていないため、結果として解析が行われないことを示したものである。

【 0 0 4 2 】

図 9 は、この発明による半導体集積回路の試験の具体的なテスト解析フローチャートであり、これは携帯電話機に使われる半導体集積回路の試験のフローチャートである。この携帯電話機には、D / A 変換回路、および A / D 変換回路を含

んだ複数の集積回路が使用されている。この携帯電話機は、まず制御用DAブロックに7つのD/A変換回路52を持ち、図9ではこの7つのD/A変換回路52が、DA1からDA7で示されている。この携帯電話機は、またIQ-DAブロックにD/A変換回路を含んだ4つの出力回路を持ち、図9ではこれらがIO、IBO、QO、QBOで示されており、さらにこの携帯電話機は、1つのA/D変換回路51を持ち、図9ではこれがADとして示されている。

【0043】

図9のフローチャートでは、最初にステップS10に示す制御用DAブロックテスト開始(DA1-DA7)が行われる。この制御用DAブロックでは、7つのD/A変換回路DA1からDA7のテストと解析が行われる。ステップS11では、DA1のテスト(測定)が行われ、DA1からのデジタル試験データが一方のメモリバンクに記憶される。ステップS12、S13は同時に実行されるステップであり、ステップS12ではDA2のテストが、ステップS13では、DSP解析部69によるDA1の測定データ解析が行われる。この測定データ解析では、最初に解析部69がテスト40からシリアルデータ受信を行って解析がスタートされ、最後にはテスト結果を解析部69からテスト40に送信して、解析が完了する。次のステップS14、S15も同時に実行され、ステップS14ではDA3のテストが、ステップS15ではDA2の測定データ解析が行われる。次のステップS16ではDA4のテストが、ステップS17ではDA3の測定データ解析が、同時に実行される。その後、DA5のテスト、DA4の測定データ解析が、さらにDA6のテスト、DA5の測定データ解析が行われ、図9のステップS18ではDA7のテストが、ステップS19ではDA6の測定データ解析が行われ、ステップS21で、DA7の測定データ解析が行われるときに、ステップS20では、ダミー(DUMMY)の空試験が挿入される。

【0044】

続いて、ステップS22に示すI/Q-DAブロックテスト開始(IO, IBO, QO, QBO)が行われる。これも出力回路IO、IBO、QO、QBOに含まれたD/A変換回路の試験であり、前記と同様にテスト、解析の並列処理が実行される。ステップS23では、IOテストが実行される。次のステップS2

4、S 2 5は同時に並列処理されるステップであり、ステップ24ではI B Oテスト（データ書込み）が、またステップ25ではI O測定データ解析（データ読み出し）が行われる。同様に、ステップS 2 6でのQ Oテスト、ステップS 2 7でのI B O測定データ解析が並列処理され、また次のステップS 2 8でのQ B Oテストと、ステップS 2 9でのQ O測定データ解析が同時に実行される。その後のステップS 3 0でのダミー（D U M M Y）テスト中に、ステップS 3 1でのQ B O測定データ解析が実行される。続いて、ステップS 3 2に示すA Dブロックテストが開始され、ステップS 3 3でA Dテストを実施した後、ステップS 3 4でのダミー（D U M M Y）テスト中に、ステップ35でのA D測定データ解析が行われて、テストが完了する。

【0045】

以上2つのメモリ区域を構成するメモリバンク66A、66Bにおける、テスト（テストデータ書き込み）と、テストデータの解析（テストデータ読み出し、解析部へのアップロード）とが、同時に、並列処理される結果、試験時間の半減が達成できる。

【0046】

実施の形態2.

図3はこの発明による半導体集積回路の試験装置の実施の形態2のD U T部分を示す側面図である。この実施の形態2では、実施の形態1のB O S Tボード21がD U Tボード10の上面に積載されている。この実施の形態2も、モールド型半導体集積回路がD U Tボード10上のソケット12に挿入され、そのA / D変換器41とD / A変換器42が試験される。

【0047】

図3において、D U Tボード10の右上面には、B O S Tボード21が載置され、この載置部分で両ボード間の接続が行われており、テストヘッド15との間で信号のやりとりが行われる。なお、B O S Tボード20上の構成は図1と同じであり、回路構成は図2と同じである。

【0048】

実施の形態3.

図4はこの発明による半導体集積回路の試験装置の実施の形態3のDUT部分の構成を示す。(a)図はBOSTボード21Aの上面図、(b)図はBOST IFボードの上面図、(c)図はDUTボード10Aの上面図、(d)図はそれらの側面図である。この実施の形態3では、ウエハ状態の半導体集積回路が試験対象(DUT)として用いられる。DUTボード10Aプローブカードであり、円形に構成され、その中心部の下面にウエハ11Aに対する多数のプローブ30を有する。このDUTボード10Aの上には、接続構体31を介して、BOST IFボード32が配置され、このBOST IFボード32上にはコネクタ33が取り付けられている。BOST装置20を構成するBOSTボード21Aも円形に構成され、このBOSTボード21A上面には、実施の形態1と同様の、AD/DA測定部23、制御部24、メモリ部26、DSP解析部25、及び電源部27が配置されている。

【0049】

実施の形態3の電気回路の構成は、実施の形態1の図2と同じであり、プローブ30をウエハ11Aのチップ相当部分の多数の端子に接触させて、実施の形態1と同様の試験が行われる。ウエハ11Aのチップ相当部分を順次ずらし、順次隣接するチップ相当部分の試験を実施する。

【0050】

実施の形態4.

図5はこの発明による半導体集積回路の試験装置の実施の形態4のDUT部分を示し、(a)図は側面図、(b)図は上面図である。この実施の形態4では、実施の形態3において、BOSTボード20Aが省略され、またBOST IFボード17、接続構体16も省略され、BOST装置20を構成するAD/DA測定部21、制御部22、メモリ部24、DSP解析部23、電源部25が全て、プローブ30を持ったDUTボード10A上面に配置され、必要な接続が行われる。

【0051】

この実施の形態4の回路構成は実施の形態1の図2と同じであり、同様にしてDUT11AのA/D変換回路51、D/A変換回路52の試験が行われる。

【 0 0 5 2 】

実施の形態 2、3、4 においても、B O S T 装置 2 0、または B O S T ボード 2 1、2 1 A は D U T ボード 1 0、1 0 A の近傍に配置され、実施の形態 1 と同様に試験が実施されるので、実施の形態 1 と同様に、試験の高精度化、高速化、装置の低価格化を図ることができ、さらに実施の形態 1 に示したメモリ／解析切替回路 8 0 の採用により、より高速で、より効率よく、テスト（測定）と、解析を実行できる。

【 0 0 5 3 】

実施の形態 5.

図 6 はこの発明による半導体集積回路の試験装置の実施の形態 5 の回路構成を示すブロック図である。この実施の形態 5 では、D U T 1 1 の A / D 変換回路 5 1 が B U S Y 信号を発生しないタイプであり、このため、テスト 4 0 からトリガ信号 7 4 が供給され、データ回路 6 3 のデジタル単位で進める動作と、測定データメモリ 6 6 のアドレスを進める動作を行わせる。なお、B O S T ボードの A / D 変換回路 6 2 は B U S Y 信号を発生するように構成できるので、この B U S Y 信号はトリガ信号 7 4 と併用できる。その他の構成は、図 2 と同じである。

【 0 0 5 4 】

この実施の形態 5 においても、テスト 4 0 から B O S T 装置 2 0 に送信されるトリガ信号 7 4 はデジタル信号であり、テスト 4 0 と B O S T 装置 2 0 との間に、ノイズの影響を受けやすいアナログ信号系を追加するものではなく、実施の形態 1 と同様に、試験の高精度化、高速化を図ることができ、さらに実施の形態 1 に示したメモリ／解析切替回路 8 0 の採用により、より高速で、より効率よく、テスト（測定）と、解析を実行できる。

【 0 0 5 5 】

実施の形態 6.

図 1 0 は、この発明による半導体集積回路の試験装置の実施の形態 6 で使用されるメモリ／解析切替回路 9 0 を示すブロック回路図である。このメモリ／解析切替回路 9 0 は、図 7 に示す実施の形態 1 のメモリ／解析切替回路 8 0 をさらに具体化したものである。

【 0 0 5 6 】

図 1 0 のメモリ／解析切替回路 9 0 は、図 7 に示すメモリ／解析切替回路 8 0 のデータ接続切替回路 8 1 が、データ出力切替セクタ 8 1 1 と、データ入力切替セクタ 8 1 3 と、バンク A の I / O 切替セクタ 8 1 5 と、バンク B の I / O 切替セクタ 8 1 7 によって構成されている。データ出力切替セクタ 8 1 1 は、A 端子、B 端子、Q 端子および S 端子を有し、この Q 端子はデータ接続切替回路 8 1 の A 1 端子を構成し、DSP 解析部 6 9 に接続される。データ入力切替セクタ 8 1 3 も、A 端子、B 端子、Q 端子および S 端子を有し、この Q 端子はデータ接続切替回路 8 1 の A 2 端子を構成し、ADC / DAC 測定部 2 3 に接続される。データ出力切替セクタ 8 1 1 およびデータ入力切替セクタ 8 1 3 は、何れも、前記第 1 の接続状態において、Q 端子と A 端子を接続し、前記第 2 の接続状態において、Q 端子と B 端子を接続するもので、この第 1、第 2 の接続状態は、それぞれの S 端子への切替信号 S S によって切替られる。

【 0 0 5 7 】

バンク A の I / O 切替セクタ 8 1 5 は O U T 端子、I N 端子、D 端子、および O E 端子を有し、この D 端子はデータ接続切替回路 8 1 の B 1 端子を構成し、メモリバンク 6 6 A のデータ端子 D Q に接続される。この I / O 切替セクタ 8 1 5 の O U T 端子はデータ出力切替セクタ 8 1 1 の A 端子に接続され、またその I N 端子はデータ入力切替セクタ 8 1 3 の B 端子に接続される。バンク B の I / O 切替セクタ 8 1 7 も O U T 端子、I N 端子、D 端子および O E 端子を有し、この D 端子はデータ接続切替回路 8 1 の B 2 端子を構成し、メモリバンク 6 6 B のデータ端子 D Q に接続される。この I / O 切替セクタ 8 1 7 の O U T 端子はデータ出力切替セクタ 8 1 1 の B 端子に、またその I N 端子はデータ入力切替セクタ 8 1 5 の A 端子にそれぞれ接続される。I / O 切替セクタ 8 1 5 および 8 1 7 は、何れも、前記第 1 の接続状態において、O U T 端子と D 端子を接続し、また前記第 2 の接続状態において、I N 端子と D 端子を接続するもので、この第 1、第 2 の接続状態は、それぞれの O E 端子への切替信号 S O E によって切替られる。

【 0 0 5 8 】

前記第 1 の接続状態では、データ出力切替セレクタ 8 1 1 の Q 端子、A 端子、および I / O 切替セレクタ 8 1 5 の O U T 端子、D 端子がそれぞれ接続される結果、A 1 端子と B 1 端子が接続され、またデータ入力切替セレクタ 8 1 3 の Q 端子、A 端子、および I / O 切替セレクタ 8 1 7 の I N 端子、D 端子が接続される結果、A 2 端子と B 2 端子が接続される。前記第 2 の接続状態では、データ出力切替セレクタ 8 1 1 の Q 端子、B 端子、および I / O 切替セレクタ 8 1 7 の O U T 端子、D 端子が接続される結果、A 1 端子と B 2 端子の接続が達成され、またデータ入力切替セレクタ 8 1 3 の Q 端子、B 端子、および I / O 切替セレクタ 8 1 5 の I N 端子、D 端子が接続される結果、A 2 端子と B 1 端子の接続が達成される。

【 0 0 5 9 】

メモリ／解析切替回路 8 0 の書込み／読出しクロック接続切替回路 8 5 は、メモリ読出し制御バンク切替回路 8 5 1、およびメモリ書込み制御バンク切替回路 8 5 3 によって構成される。メモリ読出し制御バンク切替回路 8 5 1 は、Q 端子、A 端子、B 端子および S 端子を有し、Q 端子は書込み／読出しクロック接続切替回路 8 5 の A 1 端子を構成し、A 端子はメモリバンク 6 6 A の O E 端子に接続されるとともに、バンク A の I / O 切替セレクタ 8 1 5 の O E 端子に接続されている。またメモリ読出し制御バンク切替回路 8 5 1 の B 端子は、メモリバンク 6 6 B の O E 端子と、バンク A の I / O 切替セレクタ 8 1 7 の O E 端子とに接続されている。メモリ書込み制御バンク切替回路 8 5 3 も Q 端子、A 端子、B 端子および S 端子を有し、この Q 端子は書込み／読出しクロック接続切替回路 8 5 の A 2 端子を構成し、その A 端子はメモリバンク 6 6 B の W R 端子に、またその B 端子はメモリバンク 6 6 A の W R 端子にそれぞれ接続され、メモリバンク 6 6 A、6 6 B の読出し／書込みの切替を行う。

【 0 0 6 0 】

前記第 1 の接続状態では、メモリ読出し制御バンク切替回路 8 5 1 の Q 端子と A 端子が接続される結果、メモリバンク 6 6 A の O E 端子が活性化され、メモリバンク 6 6 A は読み出し可能な状態とされ、またバンク A の I / O 切替セレクタ 8 1 5 の O E 端子が活性化され、その O U T 端子が D 端子に接続されて、メモリ

バンク 6 6 A から D S P 解析部 6 9 への読み出しが達成される。併せて、バンク B の I / O 切替セレクタ 8 1 7 では、I N 端子と D 端子が接続され、メモリバンク 6 6 B へのデジタル試験データの書込みが達成される。この第 1 の接続状態では、メモリ書込み制御バンク切替回路 8 5 3 は、メモリバンク 6 6 B の W R 端子を活性化し、メモリバンク 6 6 B を書き込み可能状態にする。

前記第 2 の接続状態では、メモリ読出し制御バンク切替回路 8 5 1 の Q 端子と B 端子が接続される結果、メモリバンク 6 6 B の O E 端子が活性化され、メモリバンク 6 6 B は読み出し可能な状態とされ、またバンク B の I / O 切替セレクタ 8 1 7 の O E 端子が活性化され、その O U T 端子が D 端子に接続されて、メモリバンク 6 6 B から D S P 解析部 6 9 への読み出しが達成される。併せて、バンク A の I / O 切替セレクタ 8 1 5 では、I N 端子と D 端子が接続され、メモリバンク 6 6 A へのデジタル試験データの書込みが達成される。この第 1 の接続状態では、メモリ書込み制御バンク切替回路 8 5 3 は、メモリバンク 6 6 A の W R 端子を活性化し、メモリバンク 6 6 A を書き込み可能状態にする。

【 0 0 6 1 】

メモリバンク切替信号生成部 8 7 は、A / B 切替セレクタ 8 7 1 と、フリップフロップ 8 7 3 と、インバータ 8 7 5 を有する。A / B 切替セレクタ 8 7 1 は、A 端子、B 端子、Q 端子および S 端子を有し、フリップフロップ 8 7 3 は D 端子、Q 端子および R 端子を有し、インバータ 8 7 5 は A / B 切替セレクタ 8 7 1 の B 端子に接続され、A / B 切替セレクタ 9 7 1 の A 端子とフリップフロップ 8 7 3 の Q 端子は互いに接続され、A / B 切替セレクタ 8 7 1 の Q 端子とフリップフロップ 8 7 3 の D 端子も互いに接続されている。半導体試験装置制御装置 8 9 からのメモリ切替信号 S K C は A / B 切替セレクタ 8 7 1 の S 端子に、またクロックイン信号 S C L はフリップフロップ 8 7 3 の R 端子に与えられる。メモリ切替信号 S K C は幅の広い信号であり、クロックイン信号 S C L は、信号 S K C の幅の中の、より幅の狭い信号である。フリップフロップ 8 7 3 の Q 端子には、メモリバンク切替信号 S S が生成されるが、この信号 S S はメモリ切替信号 S K C の各立ち上がりで反転する信号となる。クロックイン信号 S C L は、信号 S S をラッチするのに、使用される。

【 0 0 6 2 】

実施の形態 7.

図 1 1 は、この発明による半導体集積回路の試験装置の実施の形態 7 で使用されるメモリ／解析切替回路 1 0 0 を示すブロック回路図である。このメモリ／解析切替回路 1 0 0 は、図 7 に示す実施の形態 1 のメモリ／解析切替回路 8 0 を変形したものである。

このメモリ／解析切替回路 1 0 0 は、デュアルポートメモリ 1 0 2 を中心に構成したものである。

【 0 0 6 3 】

このデュアルポートメモリ 1 0 2 は、一対のデータ端子 D a t a R、D a t a L と、一対のアドレス端子 A d d R、A d d L と、一対の出力可能信号端子 O E R、O E L と、一対の書き込み可能信号端子 W R R、W R L を有する。このデュアルポートメモリ 1 0 2 は、内部に 2 つのメモリ区域を有し、前記各端子の制御に基づき、図 7 のメモリ／解析部 8 0 と同様の機能を果たす。このデュアルポートメモリ 1 0 2 の使用により、回路部品数を低減できる。

【 0 0 6 4 】

実施の形態 8.

上記各実施の形態は、D U T 1 1、1 1 A が A / D 変換回路 5 1 と、D / A 変換回路 5 2 の両方を含むものであるが、それらの一方を含むものであっても、この発明は効果を得ることができる。複数の A / D 変換回路 5 1、または複数の D / A 変換回路 5 2 を含む D U T であっても、高精度、高速の試験を、低価格の試験装置で達成できる。

【 0 0 6 5 】

実施の形態 9.

実施の形態 1 から 9 の半導体集積回路の試験装置を用いた半導体集積回路の試験方法も、半導体集積回路を、より高精度に、またより高速度で試験するのに有効である。特に、デジタル試験データの記憶（書き込み）と、その解析を並列処理することにより、さらに高速度の試験を行うことができ、生産性を向上することができる。

【0066】

【発明の効果】

以上のようにこの発明による半導体集積回路の試験装置は、テスト回路基板の近傍に配置されたテスト補助装置に、データメモリと解析部とを設け、データメモリに2つのメモリ区域を構成して、一方のメモリ区域でデジタル試験データの記憶が行われるときに、他方のメモリ区域ですでに記憶されたデジタル試験データの解析のための読み出しを行うようにしたものであり、半導体集積回路のA/D変換回路またはD/A変換回路の試験を、より高精度に、より高速度に行うことができ、併せて試験装置の低価格化を図ることができる。

【0067】

またデータメモリを2つのメモリ素子で構成したものでは、各メモリ素子の単位で、より高精度に、より高速度に行うことができる。

【0068】

また2つのメモリ素子に入力切替手段、出力切替手段を設けたものでは、これらの切替手段によってデータの書き込み、またはデータの読み出しを切替ながら、より高精度に、より高速度に試験を行うことができる。

【0069】

また1つのメモリ素子に、2つのメモリ区域を構成するものでは、回路部品数の低減を図ることができる。

【0070】

また、テスト回路基板の近傍に配置されたテスト補助装置に、データメモリと解析部とを設け、データメモリに2つのメモリ区域を構成して、一方のメモリ区域でデジタル試験データの記憶が行われるときに、他方のメモリ区域ですでに記憶されたデジタル試験データの解析のための読み出しを行うようにした半導体集積回路の試験装置を用いた半導体集積回路の試験方法によれば、半導体集積回路のA/D変換回路またはD/A変換回路の試験を、より高精度に、より高速度に行うことができ、生産性の向上を図ることができる。

【図面の簡単な説明】

【図1】 この発明による半導体集積回路の試験装置の実施の形態1を示し

、（a）図はDUT部分の上面図、（b）図はその側面図、（c）図は試験機の構成図。

【図2】 実施の形態1の回路構成を示すブロック図。

【図3】 この発明による半導体集積回路の試験装置の実施の形態2のDUT部分の側面図。

【図4】 この発明による半導体集積回路の試験装置の実施の形態3を示し、（a）図はBOSTボードの上面図、（b）図はBOST IFボードの上面図、（c）図はDUTボードの上面図、（d）図はそれらの側面図。

【図5】 この発明による半導体集積回路の試験装置の実施の形態4のDUT部分を示し、（a）図はその側面図、（b）図は上面図。

【図6】 この発明による半導体集積回路の試験装置の実施の形態5の回路構成を示すブロック図。

【図7】 この発明による半導体集積回路の試験装置の実施の形態1から5で使用するメモリ／解析部の構成を示すブロック回路図。

【図8】 メモリ／解析部の測定と解析のフローを示すフローチャート。

【図9】 メモリ／解析部の測定と解析のより具体的なフローを示すフローチャート。

【図10】 この発明による半導体集積回路の試験装置の実施の形態6で使用するメモリ／解析部の構成を示すブロック回路図。

【図11】 この発明による半導体集積回路の試験装置の実施の形態7で使用するメモリ／解析部の構成を示すブロック回路図。

【符号の説明】

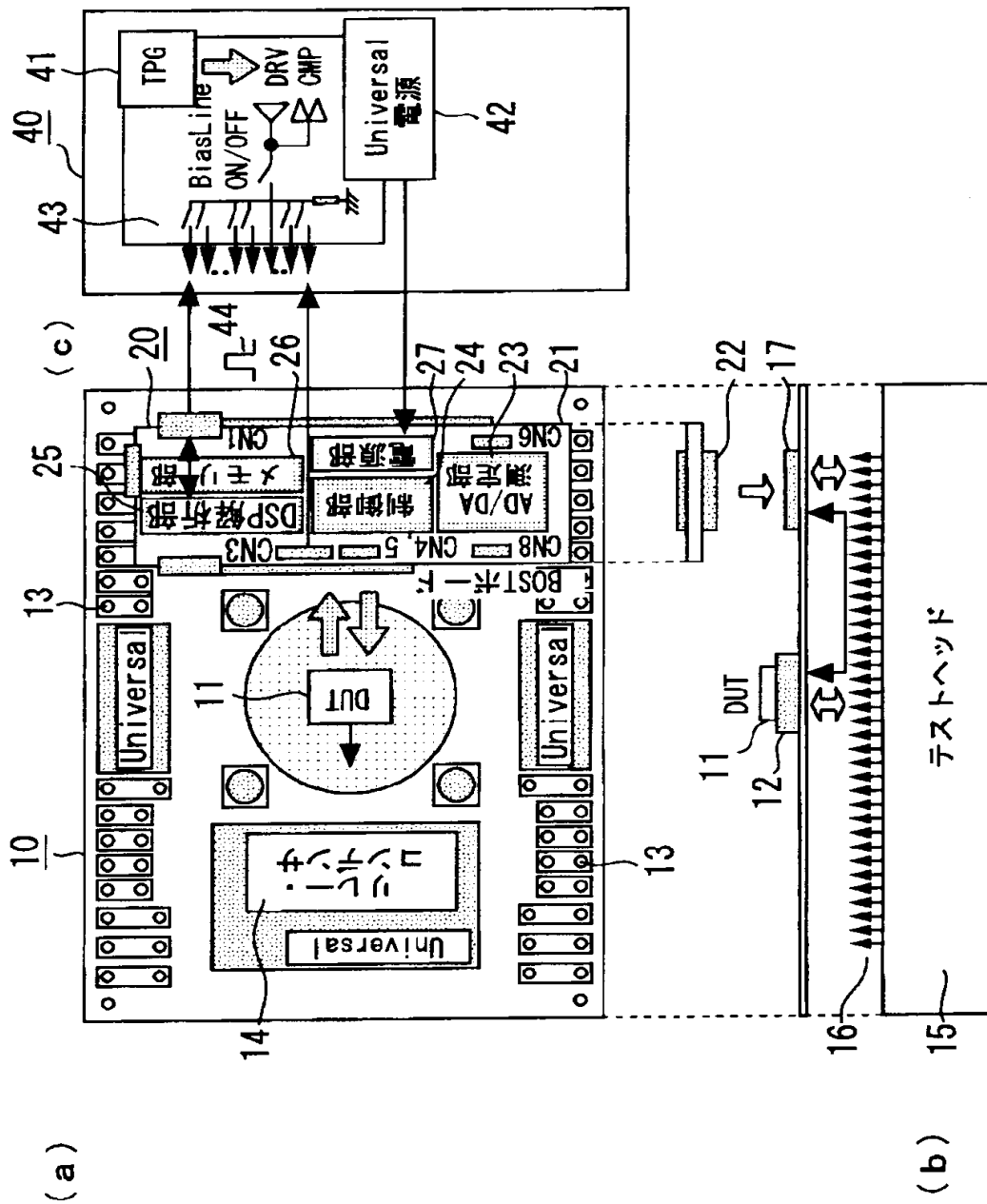
- 10, 10A テスト回路基板（DUTボード）
- 11, 11A 被試験半導体集積回路（DUT）
- 20 テスト補助装置（BOST装置）
- 21, 21A テスト補助基板（BOSTボード）
- 40 試験機（テスト）
- 51 被試験半導体集積回路のA／D変換回路
- 52 被試験半導体集積回路のD／A変換回路

- 6 1 試験用 D / A 変換回路
- 6 2 試験用 A / D 変換回路
- 6 3 データ回路
- 6 6 測定データメモリ
- 6 9 D S P 解析部
- 8 0 , 9 0 , 1 0 0 メモリ / 解析切替回路
- 8 1 データ接続切替回路
- 8 3 アドレス接続切替回路
- 8 5 書込み / 読出しクロック接続切替回路
- 1 0 2 デュアルポートメモリ

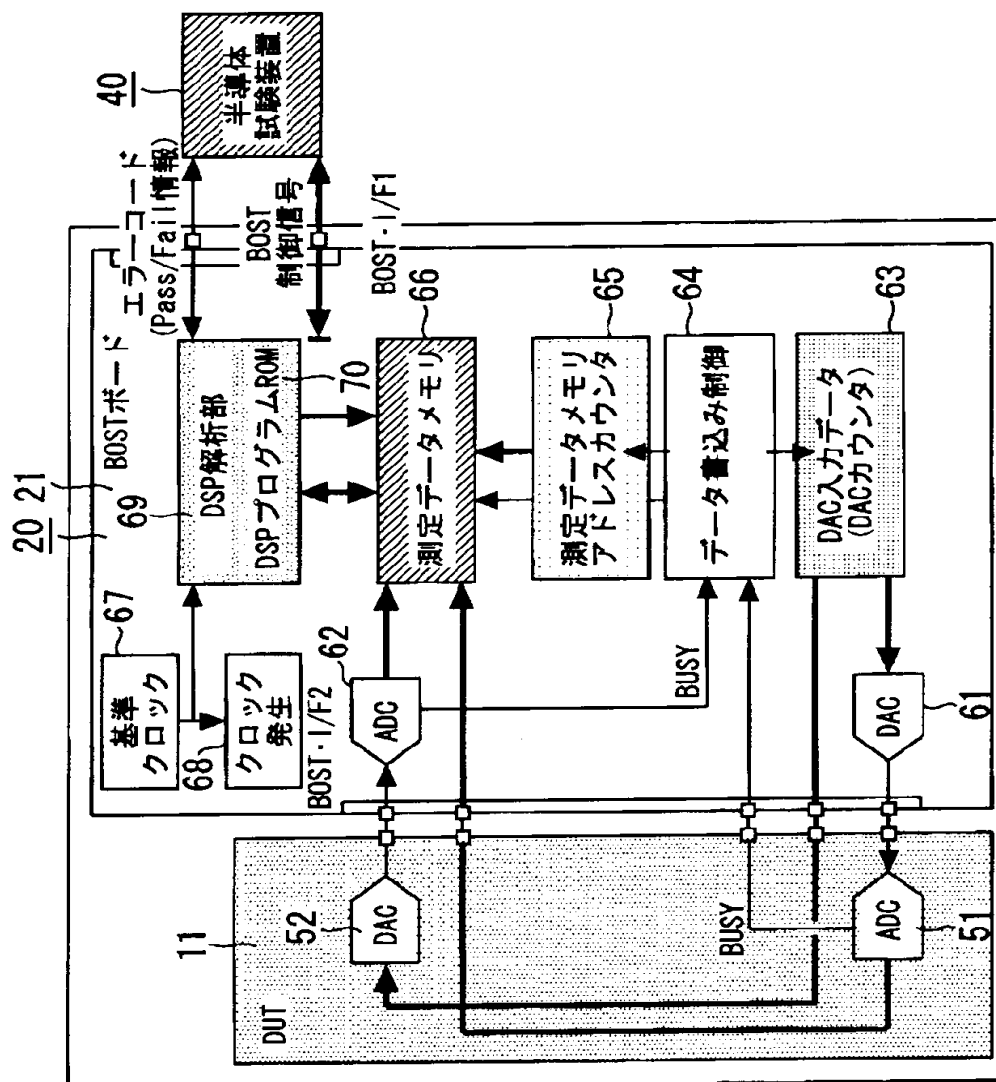
【書類名】

図面

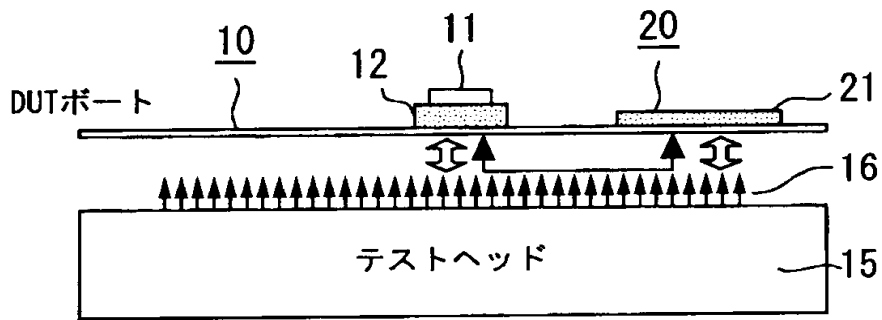
【図 1】



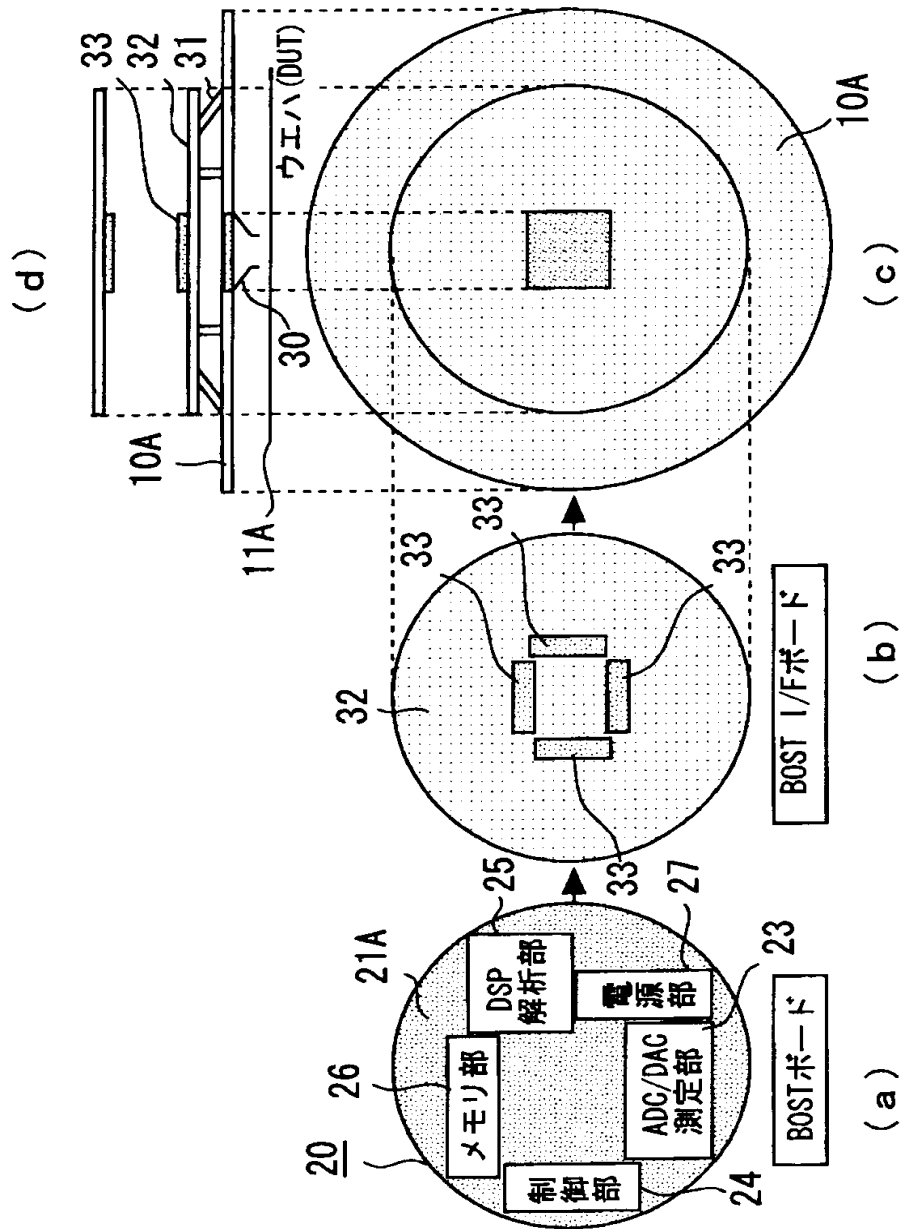
【図 2】



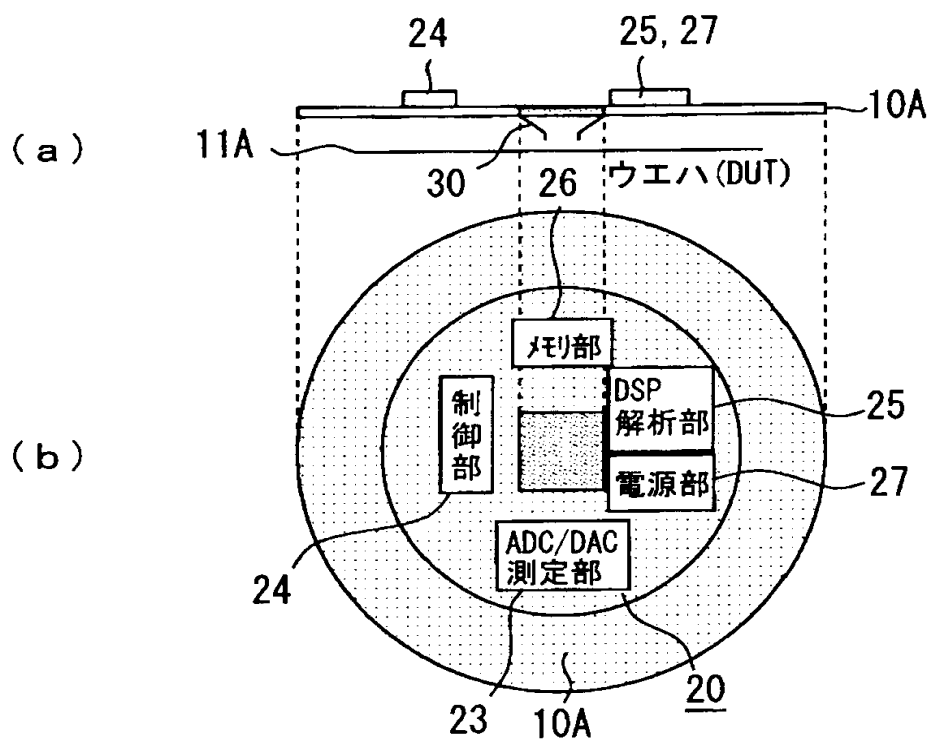
【図3】



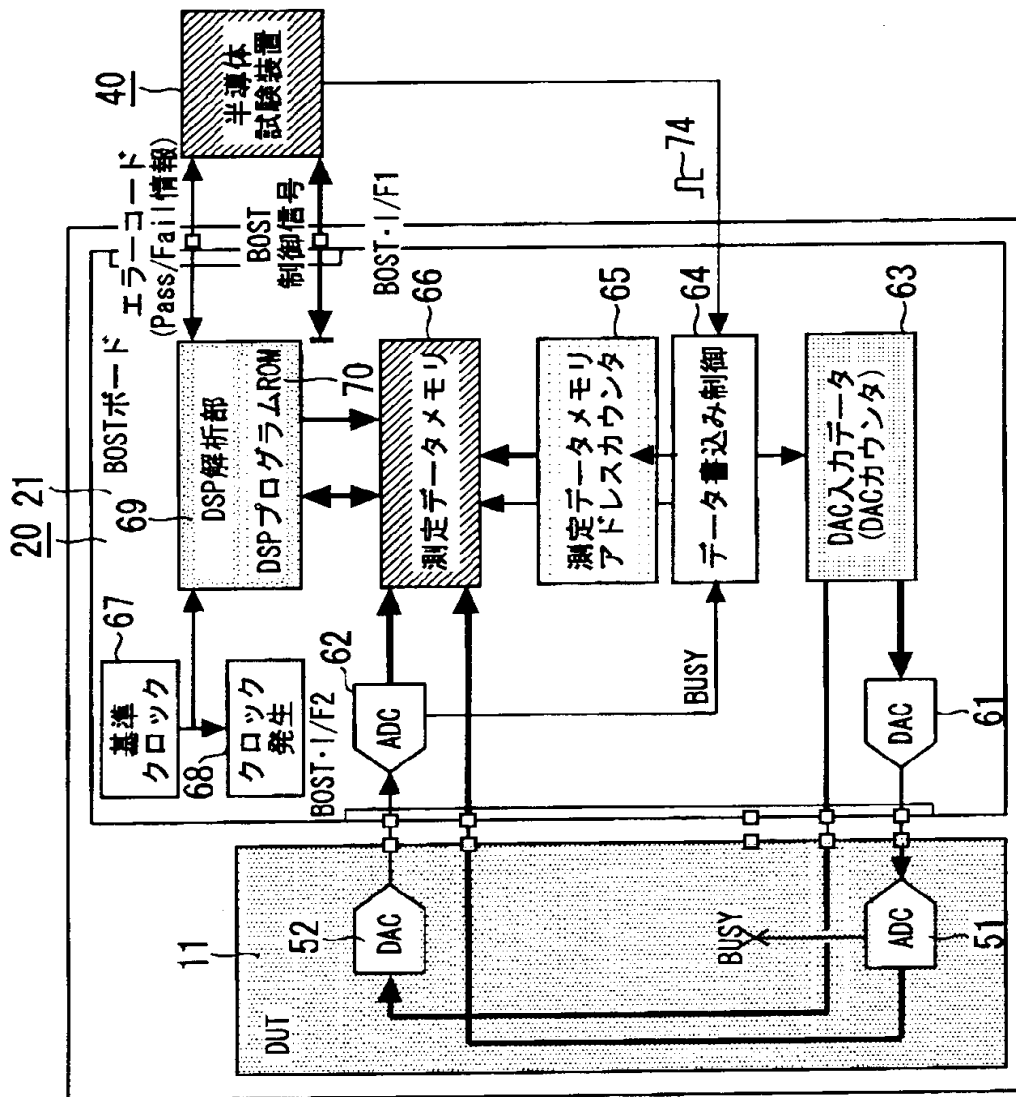
【図 4】



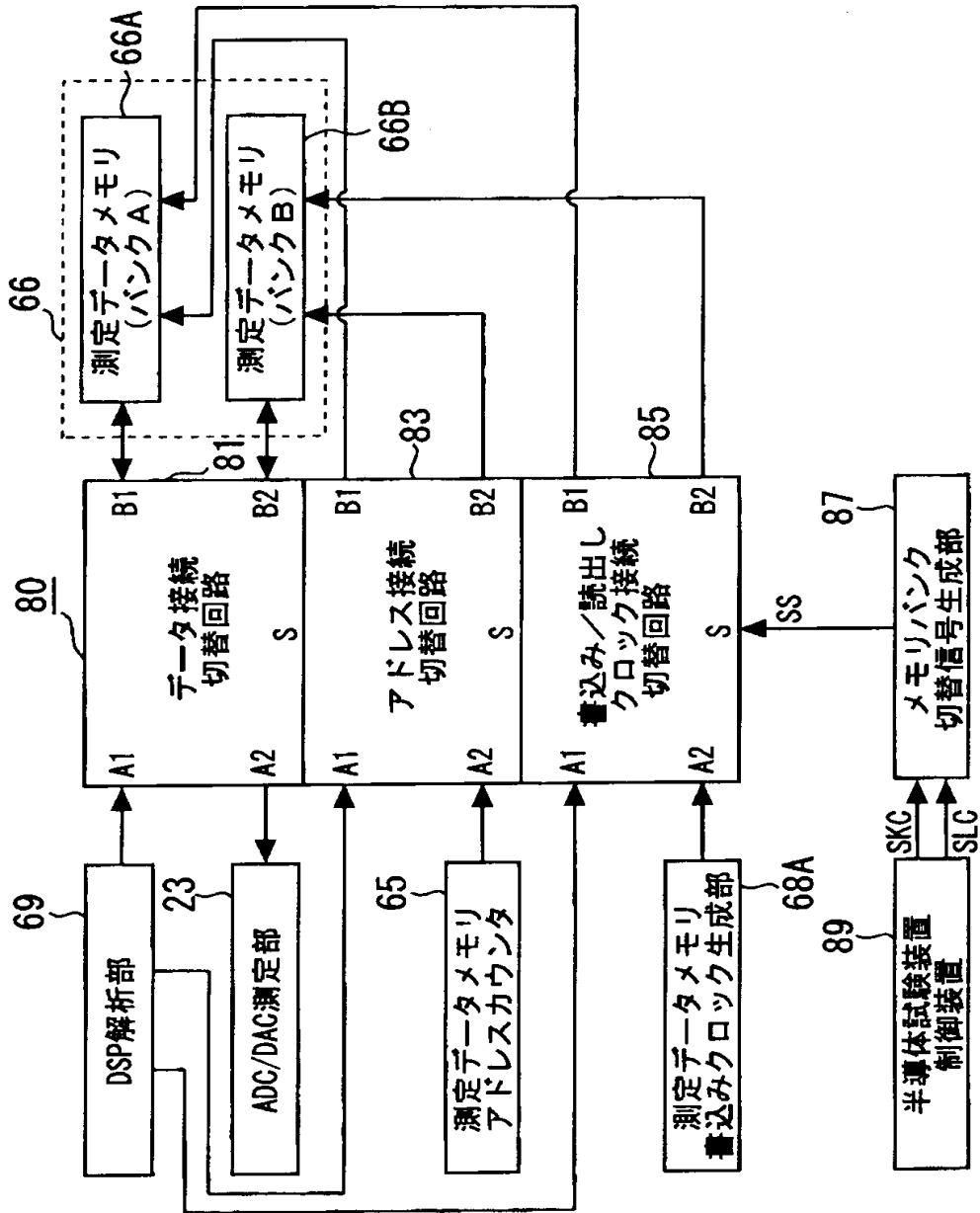
【図 5】



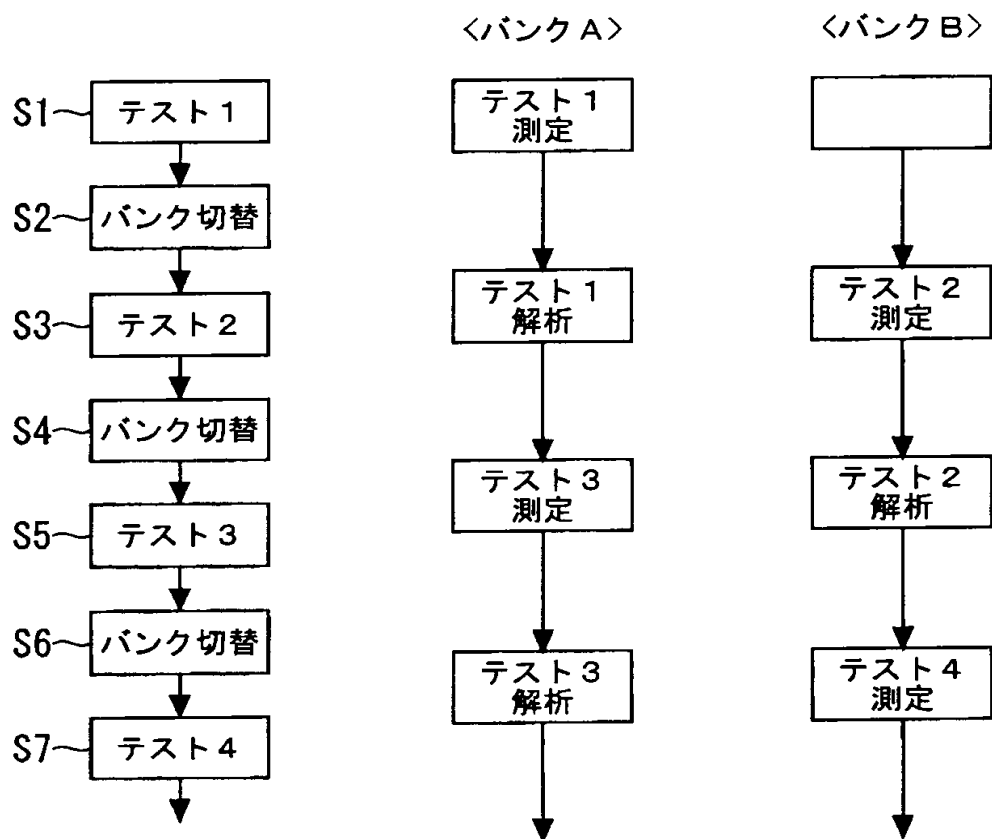
【図 6】



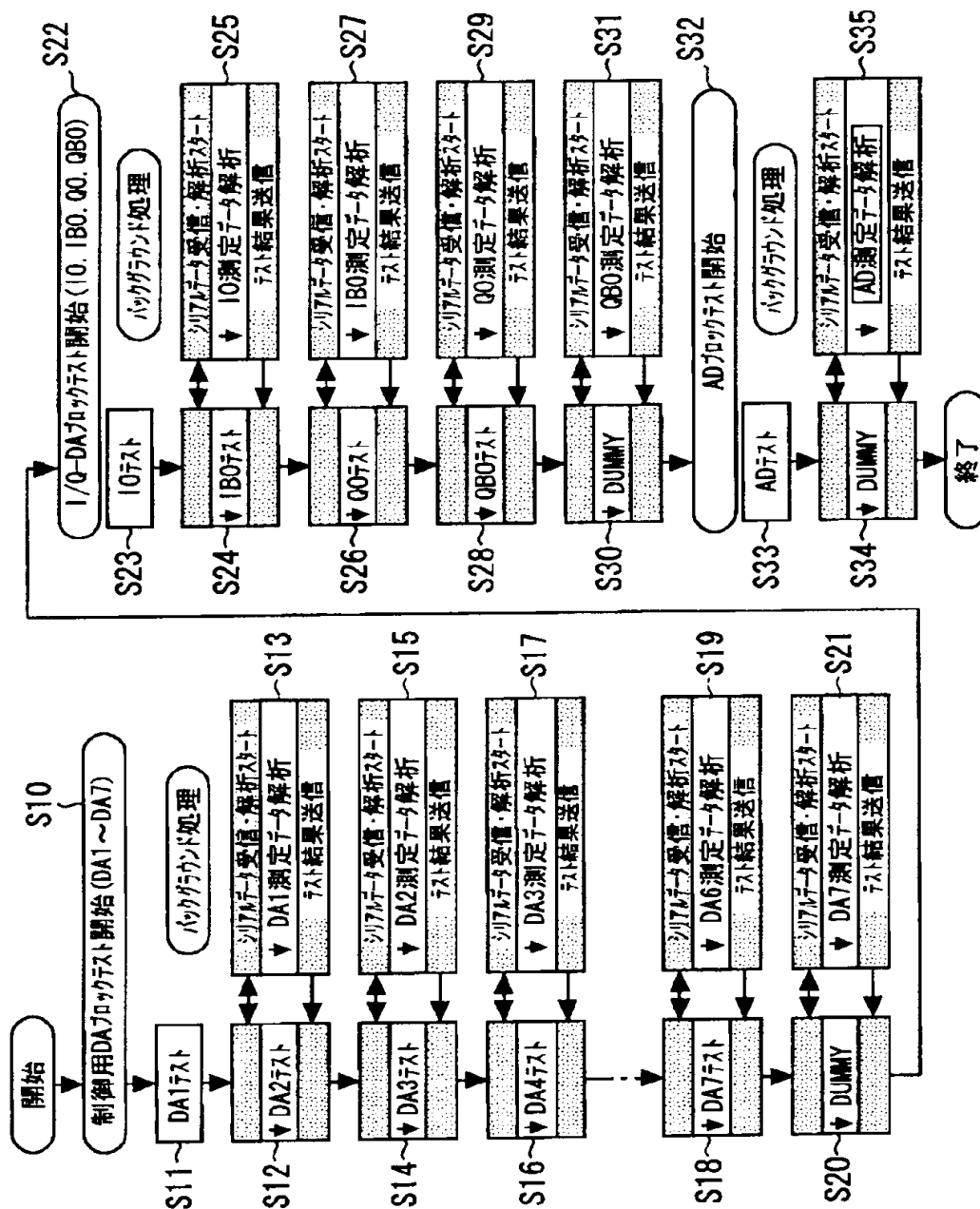
【図 7】



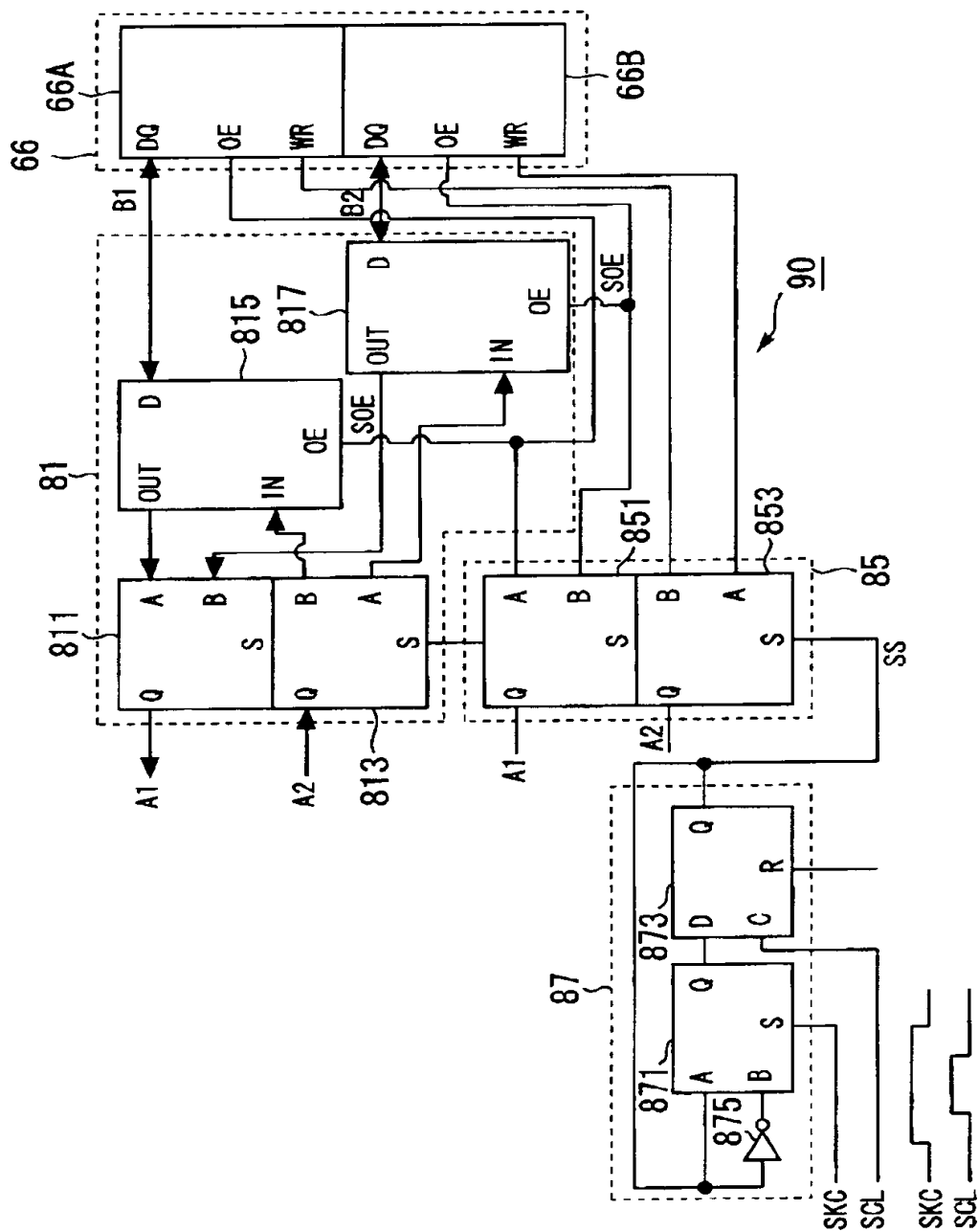
【図 8】



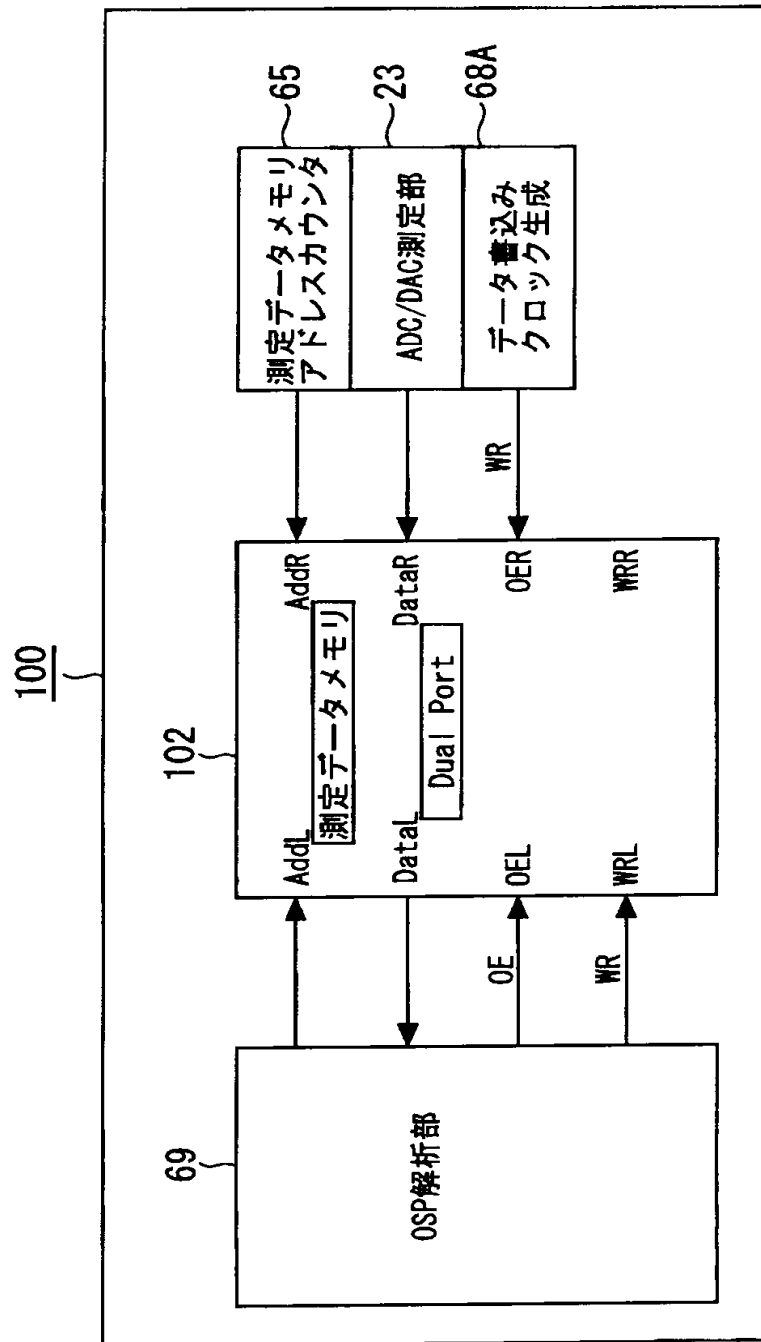
【図9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

、【課題】 A/D変換回路またはD/A変換回路を含んだ半導体集積回路の試験装置およびこれを用いた半導体集積回路の試験方法において、試験を、より高精度、より高速度で実行できるよう、改良する。

【解決手段】 テスト回路基板の近傍に配置されたテスト補助装置に、データメモリと解析部を設け、データメモリに2つのメモリ区域を構成して、一方のメモリ区域でデジタル試験データの記憶が行われるときに、他方のメモリ区域ですでに記憶されたデジタル試験データの解析のための読み出しを行うようにする。

【選択図】 図7

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [591036505]

1. 変更年月日 1991年 2月26日

[変更理由] 新規登録

住 所 兵庫県伊丹市瑞原4丁目1番地

氏 名 菱電セミコンダクタシステムエンジニアリング株式会社